



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-125857

(43)Date of publication of application : 15.05.1998

(51)Int.Cl.

H01L 27/01
H05K 1/16

(21)Application number : 08-275922

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 18.10.1996

(72)Inventor : MATSUZAKI KAZUO

HAYASHI YOSHITOMO

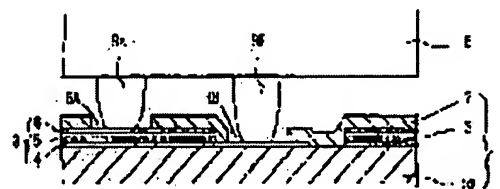
(54) BOARD HAVING BUILT-IN CAPACITOR AND ELECTRONIC DEVICE USING THE BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To enable miniaturization, weight and thickness reduction of an electronic device wherein active elements like semiconductors and passive elements such as a resistor and a capacitor are mounted on a board.

SOLUTION: A first electrode layer 4, a dielectric layer 5 and a second electrode layer 6 are laminated on an insulating board 10 and a capacitor 3 is formed.

Apertures 4B, 6A reaching the first electrode layer 4 and the second electrode layer 6 are formed on a protective film 7 covering the capacitor 3. The capacitor 3 is connected to a flip chip 8 by using bump electrodes 9B, 9A through the apertures 4B, 6A of the protective film 7.



LEGAL STATUS

[Date of request for examination]

21.12.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(citation F-1)

Japanese Patent Laid-Open Publication No. H10-125,857

Publication Date: May 15, 1998

Application No. H8-275,922 filed October 18, 1996

Inventor: Kazuo MATSUZAKI et al.

Applicant: Fuji Denki K.K.

Title of the invention: Substrate with Built-in Capacitor and Electronic Device Using the Substrate

(Claim 1)

A substrate (1) with a built-in capacitor characterized in that a first electrode layer (4) is disposed over an insulation substrate (10), a dielectric layer (5) is selectively disposed over said first electrode layer, a second electrode layer (6) is disposed over said dielectric layer, a protective layer (7) is formed to cover the structure and openings (4B, 6A) are formed in said protective layer for exposing said first electrode layer and the second electrode layer.

(Abridgment of the description)

A substrate with a built-in capacitor is disclosed. The substrate 1 comprises an insulating substrate 10, a first electrode layer 4, a dielectric layer 5 and a second electrode layer 6. The electrode layers 4, 6 and the dielectric layer 5 form a capacitor 3. A protective layer 7 is disposed to cover the capacitor structure and is formed with openings 4B and 6A for enabling access to the first and second electrode layers 4 and 6, respectively. A flip-chip 8 has bumps 9B and 9A which are brought into contact with the first and second electrode layers 4 and 6 through the openings 4B and 6A, respectively, and the capacitor 3 is connected across the bumps. The drawing figures indicate that capacitors are embedded within portions raised above the surface of the substrate 10. The disclosed built-in structure enables to form an electronic device in a compact manner.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-125857

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl.⁹

識別記号

F I

H 0 1 L 27/01

3 0 1

H 0 1 L 27/01

3 0 1

H 0 5 K 1/16

H 0 5 K 1/16

D

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21) 出願番号

特願平8-275922

(22) 出願日

平成 8 年(1996) 10月18日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 松崎 一夫

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 林 善智

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

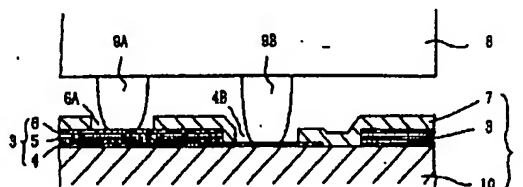
(74) 代理人 弁理士 山口 巖

(54) 【発明の名称】 コンデンサ内蔵基板およびその基板を用いた電子装置

(57) 【要約】

【課題】 半導体等の能動素子と、抵抗、コンデンサ等の受動素子とを基板に搭載した電子装置を、小型、軽量、薄型化できるような基板およびその基板を用いた電子部品の実装方法を提供する。

【解決手段】 絶縁基板10に第一電極層4、誘電体層5、第二電極層6を積層してコンデンサ3とし、それらを覆う保護膜7に、第一電極層4および第二電極層6に達する開口4B、6Aを設ける。保護膜7の開口4B、6Aを通じて、パンプ電極9B、9Aによりフリップチップ8にコンデンサ3を接続する。



- | | |
|-------------|--------------|
| 1 コンデンサ内蔵基板 | 7 保護膜 |
| 3 コンデンサ | 8 フリップチップ |
| 4 第一電極層 | 10 wiring 層 |
| 5 誘電体層 | 4B 開口 |
| 6 第二電極層 | 6A 開口 |
| | 9A パンプ電極 |
| | 9B パンプ電極 |

【特許請求の範囲】

【請求項1】絶縁基板上に第一電極層が積層され、該第一電極層上に選択的に誘電体層が積層され、該誘電体層上に第二電極層が積層され、それらを覆う保護膜が形成され、該保護膜に第一電極層および第二電極層が露出する開口が設けられたことを特徴とするコンデンサ内蔵基板。

【請求項2】前記第二電極層および誘電体層が複数の島状に分割され、分割されたそれぞれの第二電極層上の保護膜の少なくとも一つに開口が設けられたことを特徴とする請求項1記載のコンデンサ内蔵基板。

【請求項3】請求項1または2に記載のコンデンサ内蔵基板のコンデンサ上部に、前記開口を介して金属パンプを有する電子部品が作り込まれたフリップチップがボンディングされたことを特徴とする電子装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ICなどの半導体からなる能動部品や、コンデンサやリアクトル、トランスなどの受動部品を搭載し、小型・軽量化した電源システムなどを構成するための基板とその製造方法およびその基板を用いた電子部品の実装方法に関する。

【0002】

【従来の技術】従来、例えば小型・軽量化したDC/DCコンバータの電源システムなどにおいては、制御、駆動、スイッチなどの機能をもつ能動部品に関しては半導体として一つのシリコンチップ内にモノリシックに作り込むようになってきている。しかるに、コンデンサやリ

$$C = \epsilon \cdot S / d$$

ここで、 ϵ は誘電体の誘電率、 S はコンデンサの電極面積、 d はコンデンサの電極間距離である。いま、電源の平滑用として、例えば数十nFの容量を得ようとする、誘電率の大きいチタン酸バリウム($\epsilon = 2000$)を用いたとしても厚さ10 μ mのとき、約30mm²を要することになり、モノリシック化は困難である。

【0006】また、コンデンサの容量は電子部品の仕様に依りて変える必要が生じることがあるため、従来は、パッケージの外付け部品として考えることが一般的であった。

【0007】

【発明が解決しようとする課題】しかしコンデンサを外付けにすると、外付けの手間を要し、組立てが煩雑になるだけでなく、外形が大きく或いは厚くなる。以上の課題に鑑み本発明の目的は、コンデンサを薄膜状とし、外付け部品を無くして電子システムを小型、軽量、薄型にできるコンデンサ内蔵基板を提供することにある。

【0008】

【課題を解決するための手段】前記(1)式から明らかに、前記の課題を解決するための手段となるべきパラメータは、 ϵ 、 S 、 d の三個しかない。このうち ϵ

*アクトルなどの受動部品も含めて一つのシリコンチップ内にモノリシックに作り込むにはまだ問題があり、一般には半導体部品と、受動部品を別々にチップ化し、それらをセラミック基板上で、もしくはパッケージングの段階でハイブリッド化して、電子装置とすることが一般的である。

【0003】その理由としては、

①半導体部品などの能動部品と受動部品とをモノリシックにする必然性(特に、市場からの要求)が無かった。

②一般に、半導体部品などの能動部品とコンデンサやリアクトルなどの受動部品とは、その製造方法や用いられる材料等の点で大きな違いがあり、一つのプロセスで作り込むことが困難である。

【0004】③モノリシックに作り込むことによる個々の部品の良品率が積算され、最終的な装置としての歩留りという観点から不利で、コスト高になる。などが挙げられる。然るに、最近の電子機器の小型、軽量、薄膜化の進展により、そこに用いられる半導体部品も一層小型化される傾向にあり、従って、上記①の必然性が生じつつある。更に、受動部品のうちでもリアクトルなどの磁気部品については動作周波数の高周波化や薄膜形成技術の進展により、小型、薄膜化が可能となり、半導体部品と一体形成が可能なレベルにきている。

【0005】一方、動作周波数の高周波化や薄膜形成技術の進展をまっても、必要な容量をモノリシックに作り込むことは困難である。コンデンサについては、その容量 C が次式で表される。

(1)

および d は材料および耐圧で決まるパラメータであるため、自由に選択することは比較的困難を極める。そこで、本発明では S に着目することとした。 ϵ および d が決まれば、コンデンサの容量を決定するのは S だけになる。従って、成るべく大きな C を得ようとするれば、 S を最大にする必要があり、パッケージ内で平面的に最大の面積を占める基板にコンデンサを形成するのがよい。すなわち、本発明のコンデンサ内蔵基板は、絶縁基板上に第一電極層が積層され、該第一電極層上に選択的に誘電体層が積層され、該誘電体層上に第二電極層が積層され、それらを覆う保護膜が形成され、該保護膜に第一電極層および第二電極層が露出する開口が設けられたものとする。

【0009】そのようにすれば、支持板面上を利用して大きな容量で、厚さの薄いコンデンサが形成できる。特に、前記第二電極層および誘電体層が複数の島状に分割され、分割されたそれぞれの第二電極層上の保護膜の少なくとも一つに開口が設けられたものとする。

【0010】分割した多数のコンデンサがあれば、それらの接続方法を変えることにより、多種類の容量の要求に対応できる。本発明のコンデンサ内蔵基板を用いた電

子装置としては、上記のようなコンデンサ内蔵基板のコンデンサ上部に、前記開口を介して金属パンプを有する電子部品が作り込まれたフリップチップがボンディングされたものとする。

【0011】そのようにすれば、支持板面上の厚さの薄いコンデンサの電極層上に、フリップチップのパンプを直接接続できる。

【0012】

【発明の実施の形態】図1は本発明のコンデンサ内蔵基板1を使用した実装例の断面図である。コンデンサ内蔵基板1は、絶縁基板10上に第一電極層4、誘電体層5、第二電極層6で構成されるコンデンサ3が形成されている。保護膜7に設けられた開口6A、4Bを通じてフリップチップ8に設けられたパンプ9A、9Bがそれぞれコンデンサ3の第二、第一電極層6、4と接触している様子を示している。すなわち、パンプ電極9A、9Bの間にコンデンサ3が接続されている。

【0013】このように、基板にコンデンサを内蔵させることにより、コンデンサを外付けする必要が無く、外形を小さくできる。図3は、DC-DCコンバータの出力平滑コンデンサの場合を例に取った本発明のより具体的な実施例を示したものである。図3(a)は降圧型のDC-DCコンバータの回路ブロック図であり、18の点線で囲まれた部分は、一チップ化された14個のパンプ電極を有するフリップチップである。ここでは簡単のために19A、19B、19Cおよび図の左側の入力用を合わせ五つのパンプ電極のみを示してある。21はスイッチングトランジスタ、22は制御回路部、23はダイオード、24はリアクトルである。右側はコンデンサ内蔵基板11であり、16A、16Bはコンデンサの第二電極層上の、14Cは第一電極層上の開口である。

【0014】図3(b)、(c)は、フリップチップ18をコンデンサ内蔵基板11上に実装した二例の部分断面図である。この例のように絶縁基板としては、表面を絶縁膜で覆った導電性或いは半導体基板でもよい。この例では酸化膜を形成したシリコンウエハ20を用いた。10mm角のシリコンウエハ20を熱酸化して厚さ1μmの酸化膜を形成し、絶縁膜12とした。その上に、Ti(0.3μm)/Ni(0.5μm)/チタン酸バリウム(BaTiO₃:比誘電率2000、10μm)/Ni(0.5μm)からなる電極面積が4mm×8mmの薄膜コンデンサ13を二個形成した。

【0015】図3(b)では、図の左側の第二電極層16上の保護膜17に開口16Aが設けられているが、図の右側の第二電極層16上の保護膜17に開口が設けられていないため、パンプ電極19Bはオープン端子となり、パンプ電極19A-19C間のみコンデンサが接続された構造となっている。一方図3(c)では、パンプ電極19B直下の表面保護膜17に開口16Bが設けられており、パンプ電極19A-19C間、19B-1

9C間にコンデンサ13が並列に接続されているため、2倍の容量のコンデンサが接続された構造となっている。通常、平滑コンデンサとして56nF程度で十分な場合には図3(b)の構成とし、出力リップル低減等の理由から0.1μF以上必要な場合には、図3(c)の構成としてフリップチップ実装すればよい。

【0016】コンデンサを形成する絶縁基板としては、アルミナ等の絶縁性の基板の他に、この実施例のように絶縁膜を被覆した導電性の基板でもよい。但し、いずれも表面上に厚さの薄い電極層や誘電体層を形成するので、表面は平滑であることが必要である。また、搭載した電子部品からの発熱を放散するために、熱伝導性の良い物質であることが望ましい。

【0017】図2(a)、(b)は、図3(b)、

(c)の構成を模式的に示した図である。第一電極層、誘電体層、第二電極層がこの順に積層された領域を等面積で分割されてなるコンデンサ内蔵基板11に、電子回路が組み込まれた複数のパンプ電極を有するフリップチップ18をボンディングした様子を示している。図2

(a)の場合は、パンプ電極19B直下の表面保護膜に開口部が設けられていないためパンプ電極19Bはオープン端子となり、パンプ電極19A-19C間のみ容量C₀のコンデンサが接続された構造となっている。一方、パンプ電極19B直下の表面保護膜に開口部が設けられた図2(b)の場合には、パンプ電極19A-19C間、19B-19C間に容量C₀のコンデンサが並列に接続されている。図3(a)のようにパンプ電極19A、19Bが接続されていれば、パンプ電極19A-19C間に2C₀の容量のコンデンサが接続された構造となる。

【0018】なお、本実施例では基板に独立した薄膜コンデンサを二個配置した例を示したが、より細分化した多くの独立した薄膜コンデンサを配置し、それらとフリップチップパンプとの接続の有無や、直列、並列の接続法を適宜に組み合わせることによって、より精度の高い、或いは多種多様な容量をもつ平滑コンデンサをつけた実装が可能なのは勿論である。

【0019】図4(a)ないし(e)および図5

(a)、(b)は、図3のコンデンサ内蔵基板11の製造方法を、主な工程ごとの断面図で示したものである。以下これについて説明する。直径4インチのシリコンウエハ20を熱酸化し、表面に厚さ約1μmの酸化膜を形成して絶縁膜12とする【図4(a)】。

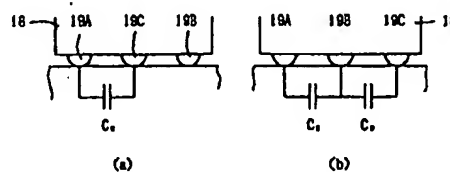
【0020】そのウエハ全面にチタン(Ti)、ニッケル(Ni)をそれぞれ0.3μm、0.5μmの厚さに電子ビーム蒸着し、コンデンサの第一電極層14とする【図(b)】。続いて、誘電体層15としてBaTiO₃をスパッタ蒸着し、550℃でアニールする【図(c)】。BaTiO₃の厚さは10μmとした。

【0021】その上に、第二電極層16となるNiを

【0025】更に、コンデンサと接続すべき能動部品をフリップチップとして、フリップチップのバンプ電極をコンデンサの電極層に直接接続できるので、外付けコン

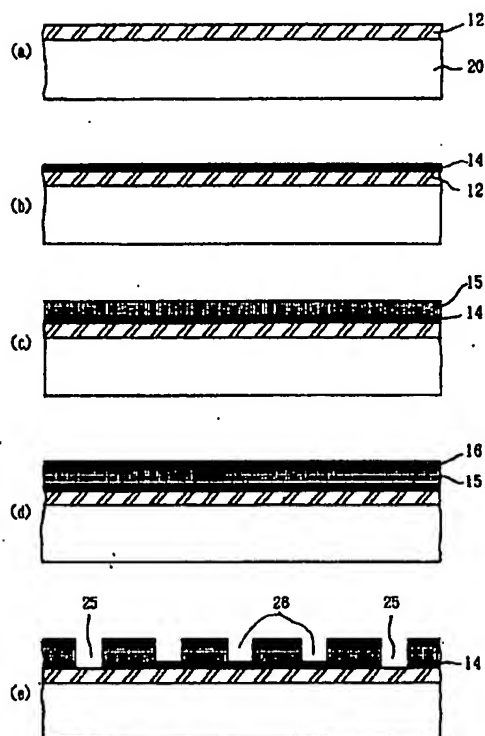
1、11	コンデンサ内蔵基板
3、13	コンデンサ
4、14	第一電極層
4B、14C	第一電極層上の開口
5、15	誘電体層
6、16	第二電極層
6A、16A、16B	第二電極層上の開口
7、17	保護膜
8、18	フリップチップ
9A、9B、19A、19B、19C	パンプ電極
10	絶縁基板
12	絶縁膜
20	シリコンウェハ
21	スイッチングトランジスタ
22	制御回路部
23	ダイオード
24	リアクトル
25	スクライプ線
26	分割線

【图 2】



- | | |
|-------------|-----------|
| 1 コンデンサ内蔵基板 | 7 保護膜 |
| 3 コンデンサ | 8 フリップチップ |
| 4 第一電極層 | 10 支持体 |
| 5 誘電体層 | 4B 開口 |
| 6 第二電極層 | 5A 開口 |
| | 6A パンプ電極 |
| | 6B パンプ電極 |

【图 4】



【图 5】

